

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 62142341 A

(43) Date of publication of application: 25.06.87

(51) Int. Cl

H01L 25/04

(21) Application number: 60283618

(22) Date of filing: 17.12.85

(71) Applicant: MATSUSHITA ELECTRONICS CORP

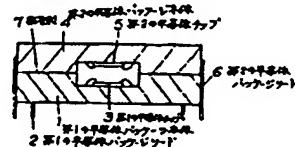
(72) Inventor: NAKAGAWA SHOICHI

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57) Abstract:

PURPOSE: To improve packaging density of a substrate, by a two-stage structure even for a package having a normal size.

CONSTITUTION: In a recess part in the surface of a main body of a first semiconductor package 1, die mounting and wiring are performed for a first semiconductor chip 3 by a normal method. A first semiconductor package lead 2 is protruded downward vertically from the surface of the main body of the first semiconductor package. In the recess in the surface of a main body of a second semiconductor package 4, die mounting and wiring are conducted for a second semiconductor chip 5 by a normal method. A second semiconductor package lead 6 is provided on the side surface of the main body of the second semiconductor package 4 on the side of the recess part. Then the surface of the main body of the first semiconductor package 1 other than the recess part on the side of the recess part is bonded to the surface of the main body of the second semiconductor package 4 with a soldering material or a bonding agent 7 in an airtight manner. Thus, the semiconductor device for high packaging density in two-stage structure is completed.



COPYRIGHT: (C)1987.JPO&Japio

⑫ 公開特許公報 (A)

昭62-142341

⑤Int.Cl.⁴
H 01 L 25/04識別記号
7638-5F

④公開 昭和62年(1987)6月25日

審査請求 未請求 発明の数 2 (全3頁)

⑤発明の名称 半導体装置およびその製造方法

②特願 昭60-283618

②出願 昭60(1985)12月17日

⑦発明者 中川 正一 門真市大字門真1006番地 松下電子工業株式会社内

⑦出願人 松下電子工業株式会社 門真市大字門真1006番地

⑦代理人 弁理士 中尾 敏男 外1名

明細書

1. 発明の名称

半導体装置およびその製造方法

2. 特許請求の範囲

(1) 第1の半導体パッケージの表面が第2の半導体パッケージの表面に密着され、前記第1および第2の半導体パッケージの表面に、それぞれ第1および第2の半導体素子を搭載した凹部を有し、前記第1の半導体パッケージの裏面および前記第2の半導体パッケージの側面にそれぞれパッケージのリードピンを有する事を特徴とする半導体装置。

(2) 表面に凹部を有し、裏面にリードピンを有する第1の半導体パッケージの前記凹部に第1の半導体素子を搭載する工程と、表面に凹部を有し、側面にリードピンを有する第2の半導体パッケージの前記凹部に第2の半導体素子を搭載する工程と、前記第1の半導体パッケージの表面の凹所以外の部分を前記第2の半導体パッケージの表面の凹所以外の部分に接着剤で密着す

る工程とを含む事を特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

産業上の利用分野

本発明は高密度実装を可能にする半導体装置およびその製造方法に関する。

従来の技術

従来この種の半導体装置は第2図の断面構造図に示すような構成であった。例えばセラミックデュアルインラインパッケージの凹部に半導体素子をダイスマウントし、ワイヤリングしたあと凹部をセラミックあるいはガラスあるいは樹脂などの材質からなるフタで、ろう材あるいは接着剤によって気密封止する構成になっている。

発明が解決しようとする問題点

上記のような従来の構成では、高密度実装をする場合実装基板に占める半導体装置の面積が大きくなり、高密度実装の効果があがらなかった。

問題点を解決するための手段

上記問題点を解決するために本発明は、第1の

半導体パッケージの表面が第2の半導体パッケージの表面に密着され、前記第1および第2の半導体パッケージの表面に、それぞれ第1および第2の半導体素子を搭載した凹部を有し、前記第1の半導体パッケージの裏面および前記第2の半導体パッケージの側面にそれぞれのパッケージのリードピンを有する事を特徴とする半導体装置ならびに表面に凹所を有し、裏面にリードピンを有する第1の半導体パッケージの前記凹所に第1の半導体素子を搭載する工程と、表面に凹所を有し、側面にリードピンを有する第2の半導体パッケージの前記凹所に第2の半導体素子を搭載する工程と、前記第1の半導体パッケージの表面の凹所以外の部分を前記第2の半導体パッケージの表面の凹所以外の部分に接着剤で密着する工程とを含む事を特徴とする半導体装置の製造方法を提供する。

作用

上記の様な構成により、半導体パッケージそのものを小型化するまでもなく、通常の大きさのパッケージでも、2段構成にすることによって、基

パッケージ断面寸法が必ずしも同一でなくとも実施可能である。とくに下段のパッケージは上段のパッケージより小型であってもよい。

凹部についても必ずしも同一でなくとも、上下のパッケージの凹部以外の表面を互に接着することによって、気密は確保され得る。第1の半導体素子と第2の半導体素子は同一機能の素子でも、機能を異にする素子同志でもよい。リードは、二方向だけでなく、四方向リードのパッケージについても可能であり、また二方向と四方向の組合せでもよい。

発明の効果

以上のように本発明によれば、パッケージを小型化することなく、基板実装密度を向上させることが可能である。

4. 図面の簡単な説明

第1図は本発明による実施例の断面図、第2図は従来の半導体パッケージの断面図である。

1……第1の半導体パッケージ本体、2……第1の半導体パッケージリード、3……第1の半導

板実装密度を向上させることができる。

実施例

第1図は本発明の一実施例による半導体装置の断面図である。

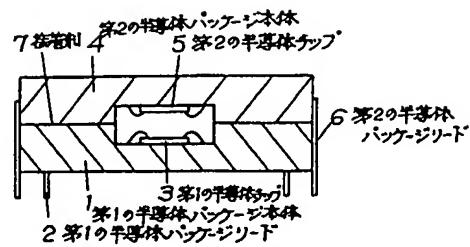
第1の半導体パッケージ本体1の表面凹部に第1の半導体チップ3に通常の方法でダイスマウントおよびワイヤリングを実施する。第1の半導体パッケージリード2は第1の半導体パッケージ本体の裏面に垂直下方向に出ている。また第2の半導体パッケージ本体4の表面凹部に第2の半導体チップに通常の方法でダイスマウントおよびワイヤリングを実施する。この実施例では第2の半導体パッケージリード6は第2の半導体パッケージ本体の側面に且つ凹部のある側に出ている。次に第1の半導体パッケージ本体の凹部側の凹部以外の表面と第2の半導体パッケージ本体の凹部側の凹部以外の表面とを、ろう材または接着剤7で気密接着して二段構成の高密度実装用半導体装置を完成させる。

上下二段のパッケージはリードピッチまたはパ

体チップ、4……第2の半導体パッケージ本体、5……第2の半導体チップ、6……第2の半導体パッケージリード、7……接着剤、8……半導体パッケージ本体、9……フタ、10……リード。

代理人の氏名 弁理士 中尾敏男ほか1名

第 1 図



第 2 図

